

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2005 年 4 月 28 日 (28.04.2005)

PCT

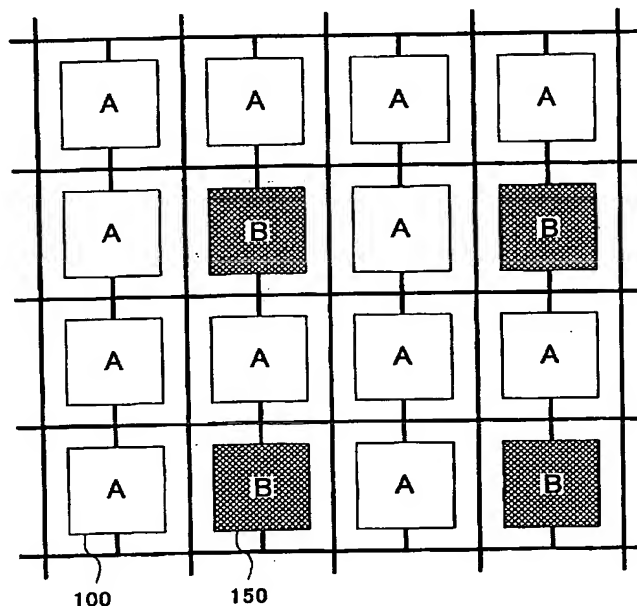
(10) 国際公開番号
WO 2005/038644 A1

- (51) 国際特許分類: G06F 7/00 (72) 発明者; および
(21) 国際出願番号: PCT/JP2004/014754 (75) 発明者/出願人 (米国についてのみ): 本塚 裕幸 (MO-
(22) 国際出願日: 2004 年 10 月 6 日 (06.10.2004) Ryutaro).
(25) 国際出願の言語: 日本語 (74) 代理人: 鷺田 公一 (WASHIDA, Kimihito); 〒2060034
(26) 国際公開の言語: 日本語 東京都多摩市鶴牧 1 丁目 2 4-1 新都市センタービ
(30) 優先権データ: 特願 2003-357994 (81) 指定国 (表示のない限り、全ての種類の国内保護が
2003 年 10 月 17 日 (17.10.2003) JP 可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR,
(71) 出願人 (米国を除く全ての指定国について): 松下電 器産業株式会社 (MATSUSHITA ELECTRIC INDUS-
TRIAL CO., LTD.) [JP/JP]; 〒5718501 大阪府門真市大 字門真 1 0 0 6 番地 Osaka (JP).
NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG,

[続葉有]

(54) Title: DATA PROCESSING DEVICE

(54) 発明の名称: データ処理装置



(57) Abstract: There is provided a data processing device which can be reconfigured. The device includes a plenty of A cells (100) performing ALU processing and B cells (150) performing bit processing. Each of the cells has an n-bit I/O port and connects each cell with the network of the n-bit bus. Furthermore, in the B cells (150), if the output bit count is smaller than n, a bit at a stage not relating to output is fixed to "0" or "1". Thus, when performing data processing by using combination of the ALU processing unit as a bus and the bit processing unit, it is possible to effectively execute each of the ALU processing and the bit processing, thereby realizing a high-speed/parallel processing.

(57) 要約: 再構成可能なデータ処理装置。この装置では、ALU処理を行うAセル100とビット処理を行うBセル150を多数配置し、各セルはnビットの入出力ポートを有し、それぞれのセルをnビットバスのネットワークで

[続葉有]



SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ,
VC, VN, YU, ZA, ZM, ZW.

BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN,
TD, TG).

- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF,

添付公開書類:

- 国際調査報告書
- 補正書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

接続する。さらに、Bセル150において、出力ビット数がnよりも少ない場合、出力に関係無い階位のビットを「0」または「1」に固定する。これにより、バス化されたALU処理部とビット処理部を組み合わせデータ処理する際に、ALU処理とビット処理とをそれぞれ効率よく実行し、高速・並列処理を実現することができる。